

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **05-100637**

(43)Date of publication of application : **23.04.1993**

(51)Int.CI.

G09G 3/36

G02F 1/133

G02F 1/136

(21)Application number : **03-262029**

(71)Applicant : **SEIKO EPSON CORP**

(22)Date of filing : **09.10.1991**

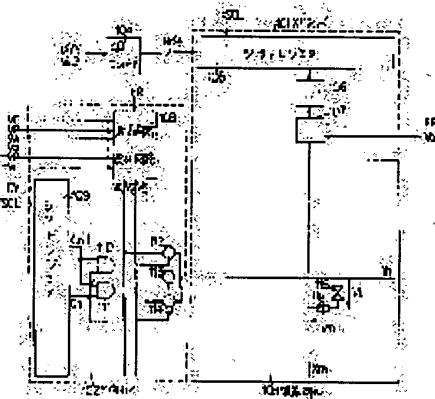
(72)Inventor : **WAKAI YOICHI
KONISHI MASASUKE**

(54) METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PURPOSE: To saturate a shift in I/V characteristics of a nonlinear element, to equalize write conditions of charges to a liquid crystal layer as to all picture elements on a screen, and to preclude an after-image phenomenon by applying a large voltage right before a selection period while its polarity is inverted plural times.

CONSTITUTION: Column electrodes X_m and row electrodes Y_n are formed on opposite substrates and a nonlinear element 116 and a liquid crystal layer 115 are arranged in series at each fulcrum. The shift register start signal DY of a Y driver 102 is shifted as a shift locking signal $YSCL$ falls and a selective signal is transferred exactly according to its width. The DY is as wide as four clocks, so the selective signal also has the clock width (four selection periods) of the $YSCL4$. In this period, a voltage which is larger than that in a normal selection period is applied. Since FR performs one-line inversion driving which causes inversion at each selection period, so an AC inverted signal has the dummy signal of three selection periods before a signal is actually selected and the polarity is changed three times.



LEGAL STATUS

[Date of request for examination] **28.08.1998**

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-100637

(43)公開日 平成5年(1993)4月23日

(51)Int.Cl. ⁵	識別記号	府内整理番号	F I	技術表示箇所
G 0 9 G 3/36		7926-5G		
G 0 2 F 1/133	5 5 0	7820-2K		
1/136	5 1 0	9018-2K		

審査請求 未請求 請求項の数3(全9頁)

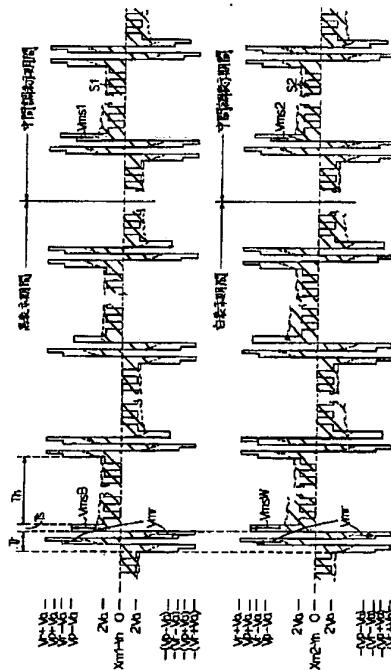
(21)出願番号	特願平3-262029	(71)出願人	000002369 セイコーエプソン株式会社 東京都新宿区西新宿2丁目4番1号
(22)出願日	平成3年(1991)10月9日	(72)発明者	若井 洋一 長野県諏訪市大和3丁目3番5号セイコー エプソン株式会社内
		(72)発明者	小西 正祐 長野県諏訪市大和3丁目3番5号セイコー エプソン株式会社内
		(74)代理人	弁理士 鈴木 喜三郎 (外1名)

(54)【発明の名称】 液晶表示装置の駆動法

(57)【要約】

【目的】 二端子型アクティブ・マトリクス液晶表示装置における、非線形素子の電圧-電流特性のシフトに起因する残像現象の低減を図る液晶表示装置の駆動法を実現する。

【構成】 選択期間の直前に大電圧を極性を複数回変えて、非線形素子と液晶層で構成される画素に印加することで、非線形素子に大電圧が印加される時間の頻度を増やし、非線形素子の電圧-電流特性を飽和せしめ、液晶パネル内での非線形素子特性を均一化し、残像現象を低減する。



1

【特許請求の範囲】

【請求項1】 A) 走査信号が供給される複数の行電極と、ビデオ信号に基づくデータ信号が供給される複数の列電極との交点に、非線形抵抗特性を有する二端子素子と液晶層とが直列に配置されてなる液晶パネルに対して、
 B) それぞれの行の選択時には、前記行一列電極間に相対的に大である電圧が印加され、非選択時には、相対的に小である電圧が印加される液晶表示装置の駆動法において、
 C) 選択期間直前の複数行に対応する期間について、選択期間と同等、もしくは選択期間の場合以上の電圧が、極性を少なくとも二回以上変えて、前記行一列電極間に印加されることを特徴とする液晶表示装置の駆動法。

【請求項2】 A) 前記二端子素子は、金属-絶縁物-金属の構成を有することを特徴とする請求項1に記載の液晶表示装置の駆動法。

【請求項3】 A) 前記二端子素子は、金属-絶縁物-半導体の構成を有することを特徴とする請求項1に記載の液晶表示装置の駆動法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は液晶表示装置の駆動法に関する、特には二端子型アクティブ・マトリクス液晶表示装置の駆動法に関する。

【0002】

【従来の技術】 アクティブ・マトリクス型液晶表示装置は、従来のパッシブ型に比較して高コントラストが得られるため、各種のディスプレイ応用分野での採用がさかんである。採用されているアクティブ素子は二端子型と三端子型と二種類あるが、二端子型の方が経済面での優位性があると考えられている。

【0003】 二端子型アクティブ素子としては、MIM (Metal-Insulator-Metal)、MIS (Metal-Insulator-Semiconductor)、リング・ダイオード、バリスタ等が採用されている。

【0004】 一般にアクティブ・マトリクス型液晶表示装置に採用されている二端子型アクティブ素子は、図2のようなI-V特性を有している。すなわち、印加電圧に対しての非線形な電流特性によるスイッチング機能を利用して、画素への有効な電荷の充放電を行なうわけである。

【0005】 図3は二端子型アクティブ・マトリクス液晶表示装置の駆動波形図である。FRは交流反転信号を示し、Xm, Ynはそれぞれ液晶パネルの列側駆動回路と行側駆動回路（以後それをXドライバ、Yドライバと呼ぶ。）の出力信号を示し、Xm-Ynはm列n行の交点に位置する画素に印加される信号を示す。（図1の液晶パネル部を参照。Xm-Ynは、実際には二端子

2

素子116と液晶層115とに印加される。）Tsは選択期間を、Thは非選択期間を示す。FR=[0]でのXmは、OFFレベル(Voff)として-Vaを、ONレベル(Von)としてVaをとり、FR=[1]では、OFFレベルとしてVaを、ONレベルとして-Vaをとる。ビデオ信号のレベルに応じてVonとVoffの比は変化し、PWM（パルス幅変調）による中間調を含む表示が可能となる。Ynは選択期間Tsにおいて、FR=[0]では-Vpをとり、FR=[1]ではVpをとる。非選択期間Thにおいて、-Vpに引き続く期間では-Vaをとり、Vpに引き続く期間ではVaをとる。これにより、差信号Xm-Ynにおいて、正極性で選択後の非選択期間Thでは正、負極性で選択後のThでは負をとるため、選択期間Tsで液晶層115に書き込まれた電荷が保持される。選択期間Tsでは、非線形素子116に印加される電圧Vmは大である

で、非線形素子を通して液晶層115に流れ込む電流も大となり、液晶層の電圧V1sは上昇する。V1sはXmのVonとVoffの比できまる。比選択期間Thでは、非線形素子116に印加される電圧Vmは相対的に小さな値であるため、非線形素子を通しての電荷の放電は少なく、液晶層での電荷の保持は良い。このような動作に基づき二端子型アクティブ・マトリクス液晶表示装置の駆動は説明される。

【0006】

【発明が解決しようとする課題】 しかしながら二端子型非線形素子、とくにMIM、MIS型の素子には以下に説明するような特性シフトが存在する。図2において、I/V1は二端子非線形素子の初期の電圧-電流特性であるが、素子に電圧が印加され続けると、I/V2のように特性がシフトする。（参考文献：E. Mizobata, et al., SID 91 DIGEST, p. 226 (1991)）特性I/V2は、特性I/V1に比較して、電圧大時の抵抗が大きくなっている。これは選択時の液晶層への電荷の書き込みが減少することを意味する。電圧小時の抵抗はあまり差がなく、非選択時の液晶層の電荷保持には、あまり差がないことを意味する。また、このI/V特性シフトは飽和することが解っている。

【0007】 このI/V特性シフトによる表示への影響について説明する。図4において、表示内容は黒背景に白の窓表示となっている。画素P1は列電極Xm1と行電極Ynとの交点に位置し、黒表示である。画素P2は列電極Xm2と行電極Ynとの交点に位置し、白表示である。次に表示内容が図5のように、画面全体が中間調表示となった時に、その前の窓表示の内容が残像となって残る。すなわち画素P1の方が画素P2よりも明るくなる。その理由について図6により説明する。Xm1-Ynは画素P1に印加される信号、Xm2-Ynは画素P2に印加される信号である。白表示期間で選択期間T

sにて、画素P2の非線形素子に印加される電圧Vm s Wは、黒表示期間に画素P1の非線形素子に印加される電圧Vm s Bより大きい。したがって画素P2の非線形素子の方がI/V特性のシフト量が大きい。(非選択期間では、いずれの画素についても非線形素子に印加される電圧は相対的に小さい。)そのため、いずれの画素も中間調表示となった時に、画素P2の非線形素子は画素P1のものと比較して、大電圧印加時に高抵抗となるよう I/V特性がシフトしているため、選択期間での液晶層底の電荷の書き込みがP1に比べて不足する。液晶層への実効電圧は図中の斜線部の面積に比例するが、明らかにS1 > S2であり、結果として画素P2は画素P1より暗くなり、残像として認識される。

【0008】これは図3により、一層明らかに説明できる。Xm-YnはXm列とYn行との交点に位置する画素に印加される信号である。画素(m, n)に表示されていた画像が「白」だった場合は、図2においてI/V特性のシフトが大きく、したがって選択期間Tsでの液晶層115への電荷の充電は小さめとなる。一方、以前の表示内容が「黒」だった場合は、I/V特性のシフトは小さく、したがって選択期間Tsでの液晶層115への電荷の充電は「白」だった場合に比べておおきい。非選択期間Thでは、前述したように、前の表示の「白」、「黒」によらず、I/V特性のシフトは小さく、液晶層115での電荷の保持状況に優位差はない。全体として実効電圧の差は、図中に示したS1とS2の面積の差となる。S2が「白」表示後のもの、S1が「黒」表示後のものであり、明らかにS1 > S2であり、同一の画像表示内容のはずであるにもかかわらず、「黒」表示後の表示の方が「白」表示後のものに比較して明るくなり、残像として認識される。本発明は、かかる従来技術の課題、すなわち二端子型アクティブ・マトリクス液晶表示装置での残像現象を解決しようとするものである。

【0009】

【課題を解決するための手段】本発明の液晶表示装置の駆動法においては、二端子型アクティブ・マトリクス液晶表示装置について、各行の選択期間の直前の複数の期間について、選択時と同等もしくは、それ以上の電圧を、極性を少なくとも二回以上変えて、行-列電極間に印加する。

【0010】

【作用】選択期間の直前に大電圧を極性を複数回変えて印加することにより、非線形素子に大電圧が印加される時間の頻度が増え、非線形素子のI/V特性のシフトを飽和させることができ、画面内の全ての画素について液晶層への電荷書き込みの条件は均一となり、残像現象を防ぐことができる。

【0011】

【実施例】以下、図面に基づいて本発明の一実施例を説

明する。

【0012】図1は本発明を実現するための2端子型アクティブ素子を用いたマトリックス液晶表示装置の1構成図例である。103はアクティブマトリックス型液晶パネル、101は液晶パネル103の列電極を駆動する列方向駆動回路(Xドライバー)、102は行電極を駆動する行方向駆動回路(Yドライバー)である。

【0013】Xドライバー101はデジタルで階調信号を入力するため、ビデオ信号をA/Dコンバータ1014にてデジタル信号に変換する。この機能はXドライバー101に内蔵させた構成にしてもよい。Xドライバー101においてシフトレジスタ105はシフトクロック信号X SCLに同期してシフト動作を行い、入力デジタル信号のサンプリングを行なう。106はラッチ回路でありシフトレジスタ105でサンプリングされたデータをラッチし、保持するものである。107はXm駆動回路であり交流反転信号FR、ラッチ回路106で保持されるデータに基づき電位Va、-Vaの何れかを出力することにより列電極Xmを駆動するものである。

【0014】Yドライバー102において108は液晶電源発生回路であってVr、Vp、Va、-Va、-Vp、-Vrの6種類の電圧が入力され、交流反転信号FRに同期してマルチプレックスされた液晶電源Vs、Vn、Vrを発生させる。ここでVr ≥ Vp ≥ Va ≥ -Va ≥ -Vp ≥ -Vrの電位である。109はシフトレジスタでありシフトスタート信号DYで起動し、シフトクロック信号YSCLに同期してシフト動作を行ない、選択信号Cnを発生させる。また、選択信号Cnの1つ時間的に(YSCL1周期分)前の選択信号をCn-1とする。112、113、114はアナログスイッチであり、各ソース入力には電源Vs、Vn、Vrが、各ゲート入力には選択信号Cn、CnとCn-1の論理積110、CnとCn-1の反転信号との論理積111とが接続され、各ドレイン出力は共通接続され行電極Ynを駆動する。即ちCn = 「0」では、Cn-1に係わらず非選択電位Vnが、Cn = 「1」、Cn-1 = 「1」では選択電位Vrが、Cn = 「1」、Cn-1 = 「0」では選択電位Vsが行電極Ynに出力される。即ち出力電位は、選択信号Cn = 「1」、Cn = 「1」のとき、交流反転信号FR = 「1」のときYn = 「+Vr」、FR = 「0」のときYn = 「-Vr」が選択され、選択信号Cn = 「1」、Cn-1 = 「0」のとき、交流反転信号FR = 「1」のときYn = 「+Vp」、FR = 「0」のときYn = 「-Vp」が選択される。

【0015】103はアクティブマトリックス型液晶パネルで、列電極Xmと行電極Ynはそれぞれ対向する基板上に形成されており、その交点には非線形素子113と液晶層112が直列に配置されている。ここで行電極電位を基準に液晶層112と非線形素子113に印可される電圧を、それぞれV1、Vmとする。

【0016】非線形素子の特性は先に説明した通りである。

【0017】図7、図8、図9が本発明に基づくタイムチャートであり、これらの図から図1の液晶表示装置の動作について説明する。

【0018】図7において、DYはYドライバー102のシフトレジスタスタート信号であり、この信号をシフトクロック信号Y S C Lの立ち下がりにてシフト動作させ、その幅通りに選択信号を転送するものとする。今、YSCLの1周期分を1選択期間とする（通常、1選択期間は1水平走査期間に相当する、また以下1水平走査期間を1Hと略す）。図7でDYの幅はYSCLの4クロック分あるので、選択信号もまたYSCL4クロック幅（4選択期間分）となりこの幅のままYSCLの立ち下がりにてシフト転送されていく。

【0019】図1のYドライバー102にこのような動作をさせると選択信号は4選択期間分ありかつ1選択期間毎に位相を反転させてるので液晶パネル103の画素に加わる信号は図8のようになる。選択信号CnとCn-1は1H分だけずれているためCn='1'、Cn-1='1'の期間は3Hとなる。この期間には通常の選択期間（Cn='1'、Cn-1='0'）より大きい電圧を加えている。ここで交流反転信号FRは1選択期間毎に反転させる、1ライン反転駆動としている。従って、実際に選択する信号の前に3選択期間のダミー信号があり、極性が3回変化している。

【0020】上記の駆動を行なった場合、パネル上のアクティブ素子（例えばMIM）のI/V特性シフトにどのように効果があるかを説明する。I/V特性シフトは先に述べたように素子に加わる電圧により生じる。図8は画素Xm1Ynには黒表示、画素Xm2Ynには白表示を行なっており、ある時間に中間調表示に切り換えた場合のそれぞの画素にかかる信号を表わしている。Vm1は黒表示により特性シフトした後に中間調を選択した場合のMIMに加わる実効値、Vm2は白表示により特性シフトした後に中間調を選択した場合のMIMに加わる実効値、S1は黒表示により特性シフトした後の中間調を選択しその保持期間にかかる実効値、S2は白表示により特性シフトした後の中間調を選択しその保持期間にかかる実効値である。残像はこれらの実効値が異なることによって起こる。しかし、本発明による駆動では図よりも明かのように真の選択電圧Vmの前に3回ものより大きな電圧Vm2が素子にかかり、また、極性がそれぞれ反転しているため実質的に大きい電圧が（すなわちVm2>Vm1）MIM素子に印可されることにより先に述べた素子のI/V特性シフトを飽和させることができとなる。このことは、黒表示を行なった画素の特性シフトと白表示を行なった画素の特性シフトが同じになることを表わしている。これを図9を用い

て、もう少し詳しく述べる。図9は図8の中間調表示期間を拡大した図である。図においてTs期間が真の選択期間、Tshがダミーの選択期間、Thが保持期間を表わしている。本発明による駆動によれば黒表示、白表示に関係なく選択した場合のMIMに加わる実効値、それを保持する実効値が等しくなる。つまりVm1=Vm2=S2となる。従って、白表示と黒表示による素子のI/V特性シフトの違いをなくし、どの様な表示内容であっても画面全体のI/V特性シフトを均一にすることができ、残像をなくすことができる。また、2端子素子を用いたアクティブマトリックスパネルでは、真の選択であるTs期間のデータ内容によって画素の書き込みが決まるため、ダミーの選択期間による画質への影響がない。

【0021】

【発明の効果】本発明によれば、二端子型アクティブ・マトリックス液晶表示装置において、選択期間の直前に大電圧を極性を複数回変えて、印加して駆動することにより、非線形素子に大電圧が印加される時間の頻度が増え、I/V特性のシフトを飽和せしめて、画面内の全ての画素についての電荷の書き込み条件を均一とし、残像現象を防ぎ、画質の向上が図られる。

【画面の簡単な説明】

【図1】液晶表示装置の構成図。

【図2】非線形素子のI-V特性を示す図。

【図3】液晶表示装置の駆動波形図（従来例）。

【図4】液晶パネルでの窓表示図。

【図5】液晶パネルでの中間調表示図。

【図6】液晶表示装置のP駆動波形図。

【図7】図1各部のタイム・チャート。

【図8】液晶表示装置の駆動波形図（本発明による）。

【図9】液晶表示装置の駆動波形図（本発明による）。

【符号の説明】

101列電極駆動回路（Xドライバー）

102行電極駆動回路（Yドライバー）

103液晶パネル

104A/Dコンバータ

105シフトレジスタ

106ラッチ回路

107Xm駆動回路

108液晶電源発生回路

109シフトレジスタ

110ANDゲート

111ANDゲート

112アナログ・スイッチ

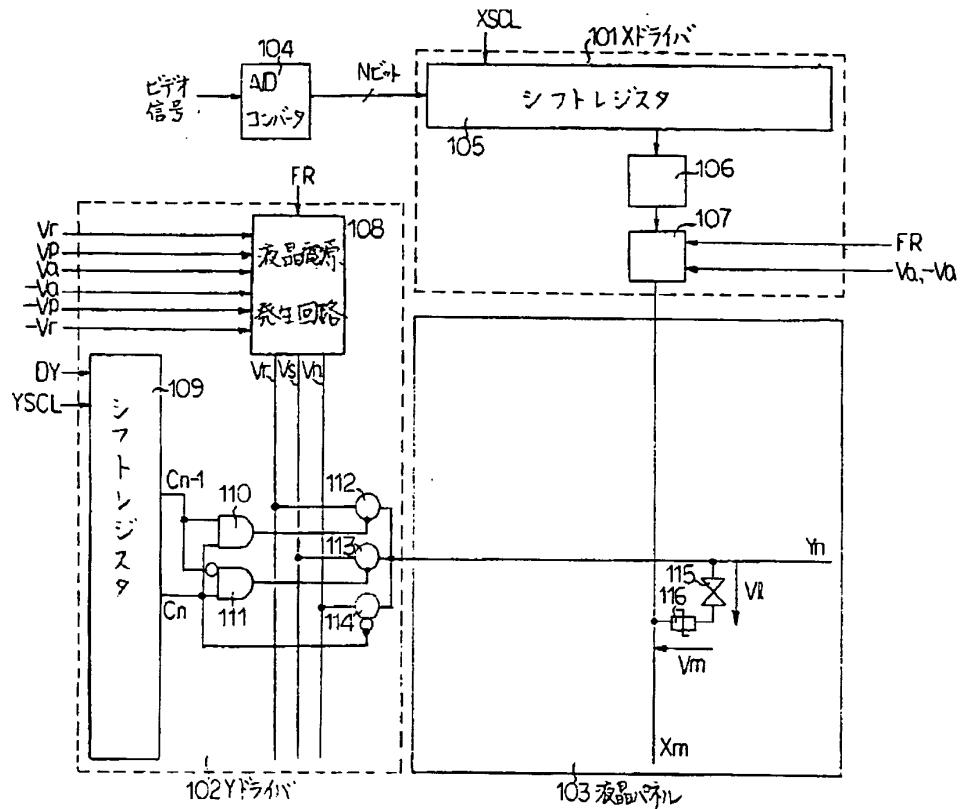
113アナログ・スイッチ

114アナログ・スイッチ

115液晶層

116非線形素子

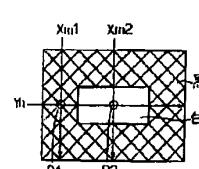
【図1】



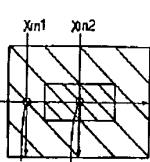
【図2】



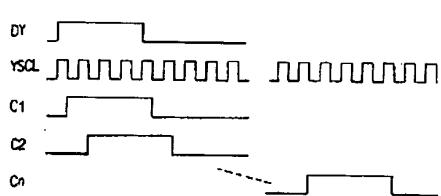
【図4】



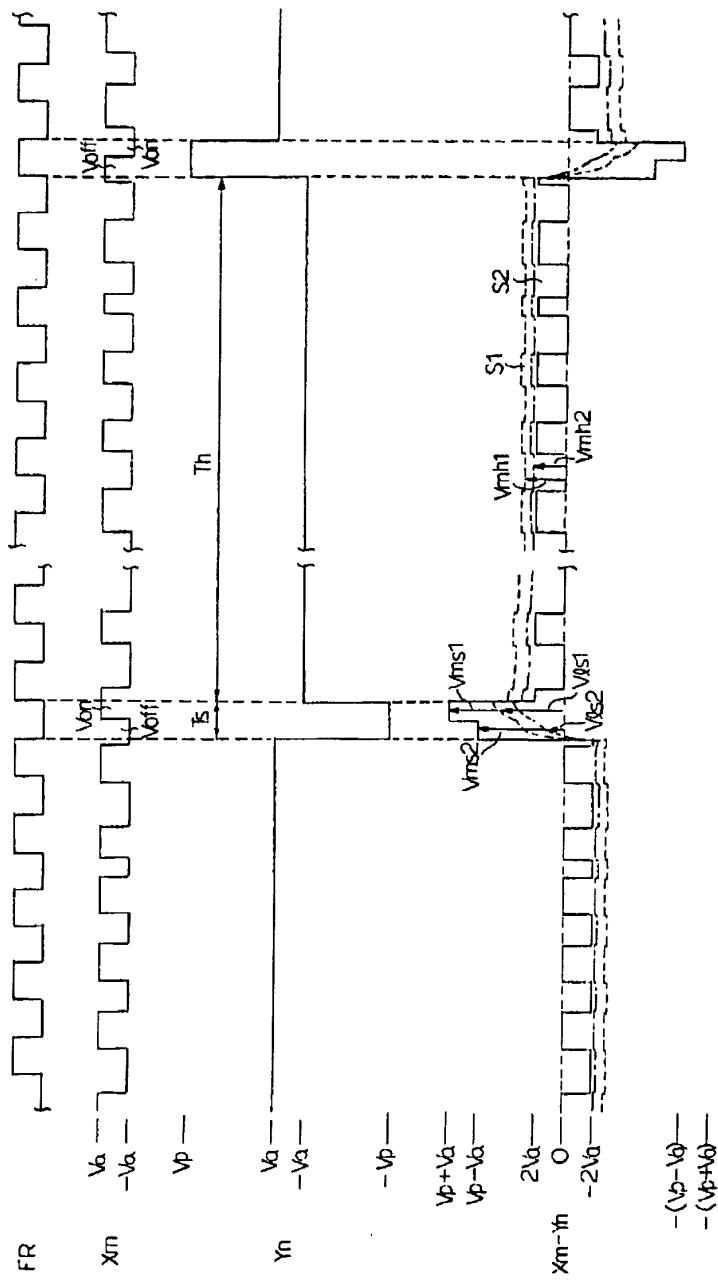
【図5】



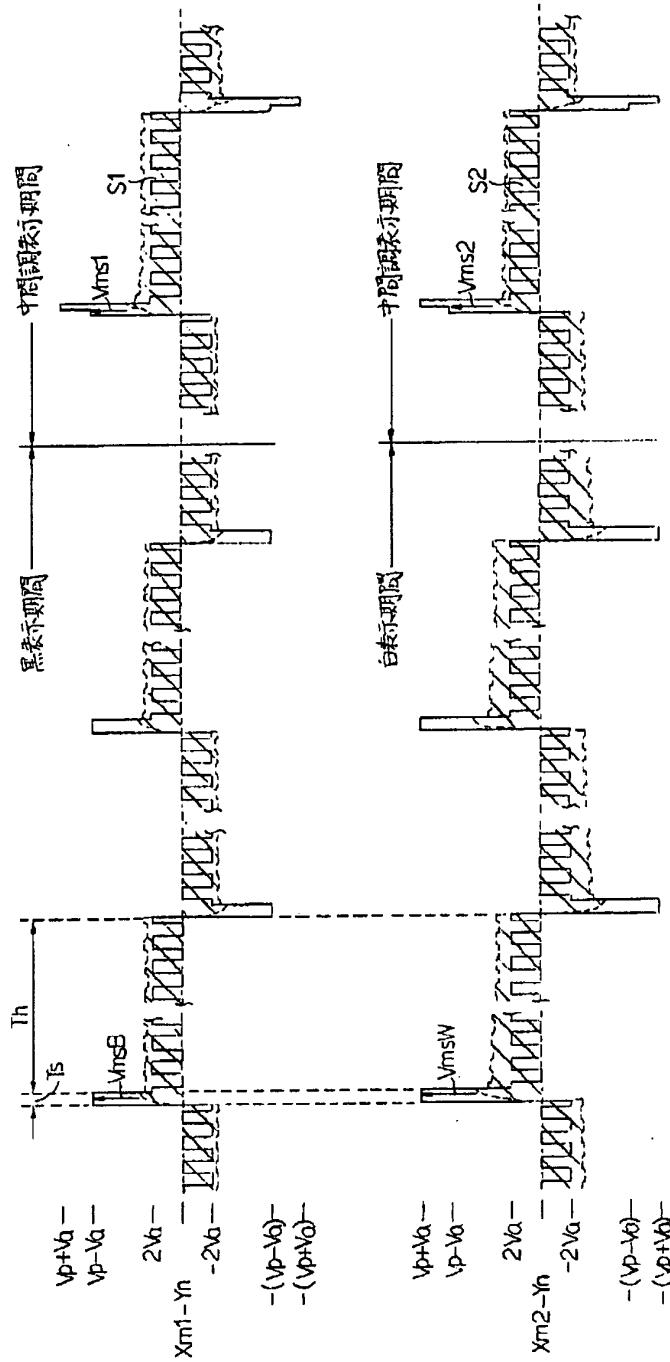
【図7】



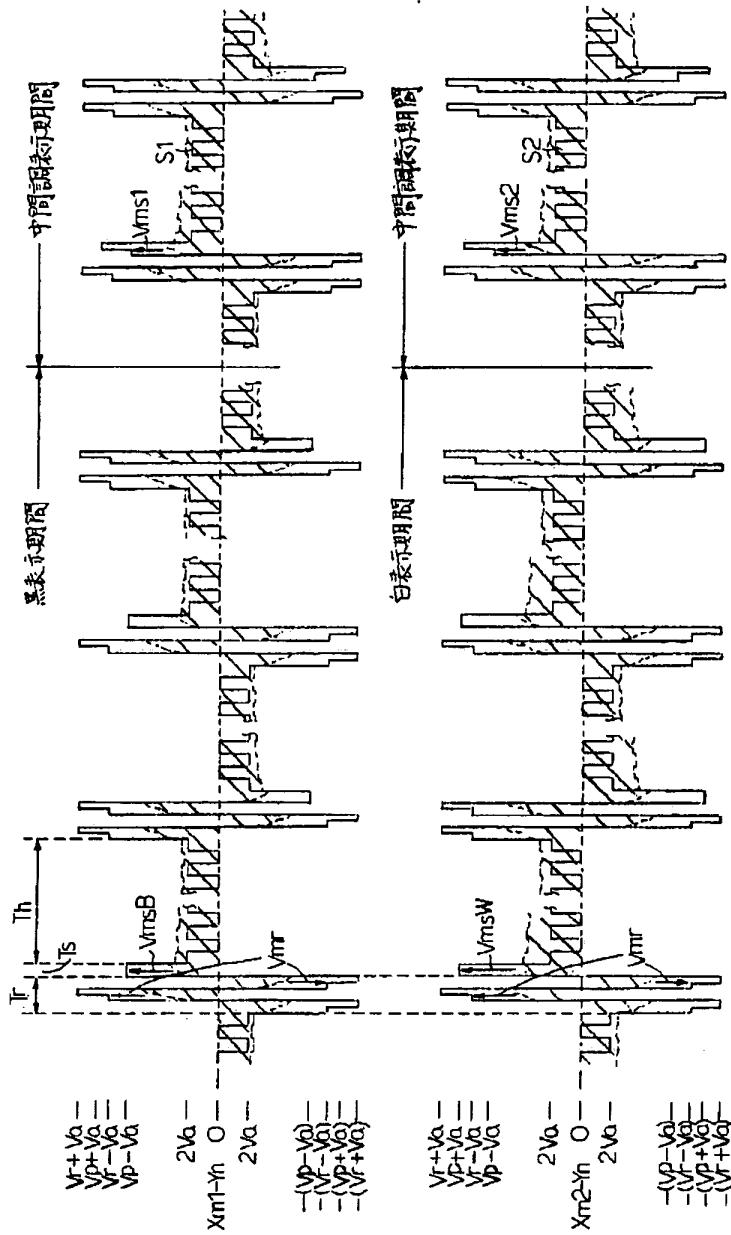
【図3】



【図6】



【図8】



【図9】

